

(51) Int.Cl.<sup>7</sup>

識別記号

F I

データコート (参考)

G 0 6 F 11/18

3 1 0

G 0 6 F 11/18

3 1 0 E 5 B 0 3 4

H 0 3 K 19/003

H 0 3 K 19/003

H 5 J 0 3 2

審査請求 有 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願2003-20435(P2003-20435)

(22) 出願日 平成15年1月29日 (2003.1.29)

(31) 優先権主張番号 特願2002-46298(P2002-46298)

(32) 優先日 平成14年2月22日 (2002.2.22)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 松本 和丈

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100095728

弁理士 上柳 雅著 (外2名)

Fターム (参考) 5B034 AA05 CC01 CC02 DD01 DD05

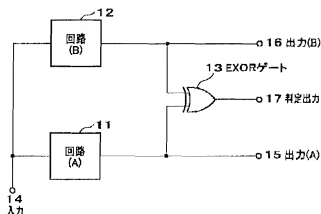
5J032 AB02 AC11

(54) 【発明の名称】 集積回路

(57) 【要約】

【課題】 自身で誤動作を検出する機能を有する信頼性の高い集積回路の実現を課題とする。

【解決手段】 集積回路内に同一処理動作を行う複数の回路 (A) 11 および回路 (B) 12 と、この複数の回路の処理結果の一致、不一致を判定する EXOR ゲート 13 とを設け、この EXOR ゲート 13 出力が不一致の "1" となったとき、回路 (A) 11 または回路 (B) 12 のいずれかに処理誤りが発生したことを検出して対応を行うことを特徴とする。



【特許請求の範囲】

【請求項1】 同一処理動作を行う複数のデータ処理手段と、

この複数のデータ処理手段のそれぞれの処理結果の間の一致、不一致を判定する判定手段とを具備し、

この判定手段での処理結果間の不一致判定により前記複数のデータ処理手段のいずれかで発生した処理誤りを検出することを特徴とする集積回路。

【請求項2】 前記複数のデータ処理手段相互間で同一処理動作を処理時刻をずらして行わせるために入力データおよび／またはクロックを遅延させる第1の遅延手段と、

前記複数のデータ処理手段の処理結果データを前記判定手段に同時に入力させるために遅延させる第2の遅延手段とを具備することを特徴とする請求項1に記載の集積回路。

【請求項3】 同一処理動作を行う複数のデータ処理手段と、

この複数のデータ処理手段のそれぞれの処理結果の多数決をとる多数決手段とを具備し、

この多数決手段での多数決処理により前記複数のデータ処理手段のいずれかで発生した処理誤りを修復することを特徴とする集積回路。

【請求項4】 前記複数のデータ処理手段相互間で同一処理動作を処理時刻をずらして行わせるために入力データおよび／またはクロックを遅延させる第1の遅延手段と、

前記複数のデータ処理手段の処理結果データを前記多数決手段に同時に入力させるために遅延させる第2の遅延手段とを具備することを特徴とする請求項3に記載の集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路に関し、特に冗長性を持たせることによって動作の信頼性を向上した集積回路に関する。

【0002】

【従来の技術】すべての装置やシステムにとって長時間に亘って誤りなく安定に動作することが望ましいことは言うまでもないが、とくに人工衛星搭載機器や原子炉装置などのように容易に近付けない場所や修理や復旧に手間が掛かる場所に設けられた装置やシステム、医療機器や航空機搭載機器などのようにその誤動作が重大な結果や大きな損害を引き起こし、ねない装置やシステムにとってはその信頼性は重要な意味を持っている。例えば、人工衛星や高高度航空機などに搭載された機器では宇宙線中性子の影響などが避けられない。この宇宙線による影響で、「人工衛星搭載機器」、「航空機搭載機器」の誤動作が発生する。この影響を受けながらも安定に動作して信頼性を保つことは重要な課題である。

【0003】システム的には、予備の回路や予備の装置を設けてシステムを二重化して冗長性を持たせておき、誤動作や事故、故障等の発生時に切り替えるという対処方法が、従来から信頼性を確保するために採られてきている。

【0004】一方、装置やシステムの信頼性には、それを構成する個々の要素の信頼性がかかわってくることはいうまでもなく、個々の要素の信頼性を向上することが、装置やシステム全体の信頼性を向上して、誤動作や事故、故障の発生頻度を削減するためにも重要である。

【0005】電子回路の構成要素の一つである集積回路においては、従来はその信頼性の向上を工程の管理と検査方法の高精度化、集積回路の封止手段の改良、封止材料の最適化によって図ってきた。しかし、このような方法による信頼性の向上には一定の限界がある。また、雑音などの外来的要因による誤動作は集積回路自身の品質を向上しても防止することができないという問題がある。その上、素子自身に多重化による冗長性を持たせてその信頼性を向上させるという考え方は、従来の集積回路には採られていなかった。

【0006】

【発明が解決しようとする課題】上述のごとく、装置やシステムの信頼性を向上するためには、個々の要素の信頼性の向上が欠かせない。集積回路においては、従来はその信頼性を向上を工程の管理と検査方法の高精度化、集積回路の封止手段の改良、封止材料の最適化によって図ってきた。しかし、このような方法には限界があり、雑音などの外来的要因による誤動作には対応することができないという問題があった。

【0007】本発明は、集積回路の回路構成に冗長性を持たせることで、比較的簡単にこの問題を解決し、自身で誤動作を検出する機能および誤りを訂正する機能を持たせて信頼性を高めた集積回路の実現を課題とする。

【0008】

【課題を解決するための手段】上記課題を達成するため、請求項1の発明は、集積回路において、同一処理動作を行う複数のデータ処理手段と、この複数のデータ処理手段のそれぞれの処理結果の間の一致、不一致を判定する判定手段とを具備し、この判定手段での処理結果間の不一致判定により前記複数のデータ処理手段のいずれかで発生した処理誤りを検出することを特徴とする。

【0009】また、請求項2の発明は、前記複数のデータ処理手段相互間で同一処理動作を処理時刻をずらして行わせるために入力データおよび／またはクロックを遅延させる第1の遅延手段と、前記複数のデータ処理手段の処理結果データを前記判定手段に同時に入力させるために遅延させる第2の遅延手段とを設けた。

【0010】請求項3の発明は、集積回路において、同一処理動作を行う複数のデータ処理手段と、この複数のデータ処理手段のそれぞれの処理結果の多数決をとる多

数決手段とを具備し、この多数決手段での多数決処理により前記複数のデータ処理手段のいずれかで発生した処理誤りを修復することを特徴とする。

【0011】さらに、請求項4の発明は、前記複数のデータ処理手段相互間で同一処理動作を処理時刻をずらして行わせるために入力データおよび/またはクロックを遅延させる第1の遅延手段と、前記複数のデータ処理手段の処理結果データを前記多数決手段に同時に入力させるために遅延させる第2の遅延手段とを設ける。

【0012】このようにすることにより、集積回路に冗長性を持たせることで、複数のデータ処理回路のいずれかで発生した処理誤りの検出が可能になり、再処理を行わせてデータ処理の信頼性を大幅に向上した集積回路を実現することができる。また、複数のデータ処理回路のいずれかで発生した処理誤りを多数決論理にしたがって自動的に修復して、データ処理の信頼性を大幅に向上した集積回路を実現することができる。また、演算時刻をずらすことで、外部雑音に影響され難い構成を実現することができる。この面でも信頼性を向上することができる。

【0013】さらに、この冗長回路は外見上は1つの集積回路であるので使用上違和感がなく、意識しないで使用することができるという利点も有している。

【0014】

【発明の実施の形態】以下、本発明にかかる集積回路を添付図面を参照にして詳細に説明する。

【0015】図1は、本発明の集積回路の実施の形態の基本回路のブロック図である。本実施の形態では、信頼性を向上したい回路を同一IC内部に複数配置し、同一の動作をさせ、これらの結果を判定し、結果が一致した\*30

$$p1 = (1/n)$$

となり、信頼性が大きく向上することになる。

【0020】しかし、この回路では、外部からの雑音の影響が回路(A)11および回路(B)12に共通に働いた場合に両回路が同時に誤って判定ではこの誤りを見逃してしまうというおそれがある。

【0021】このような問題は、複数の回路の演算動作を時間的にずらして行うようにすることで対処することができる。このような雑音対処を行った本発明の集積回路の第2の実施の形態の構成を図2のブロック図に示す。また、図3にこの集積回路の各部の波形を示す。図3においては、回路(A)21、回路(B)22およびXORゲート23における演算処理の遅れは無視できるものとした。

【0022】図2において、回路(A)21および回路(B)22は、図1の場合と同様に同一の処理動作を行う同じ回路で、処理内容はともに限定されないが、ここでは仮に入力を反転して出力する動作を行っているものとする。この回路(A)21には図3の波形aのような入力信号26(図3では連続数値0、1、0、0、1、

\* 場合のみ次の動作に移るようにして信頼性の向上を図っている。

【0016】図1において、回路(A)11および回路(B)12は同一の動作を行う同じ処理回路である。処理回路は、演算回路、記憶回路、バッファ回路などどのようなものであっても良く、あるいはマイコンなどでも差支なく、とくに限定されない。この回路(A)11および回路(B)12には同一の入力信号14が入力されている。回路(A)11および回路(B)12のそれぞれの出力(A)15および出力(B)16は2入力EXOR(排他的論理和)ゲート13に入力され、EXORゲート13の出力は判定用出力17とされる。EXORゲート13の出力は入力端子の値が一致しているときには“0”、入力端子の値が異なっているときには“1”となる。

【0017】したがって、回路(A)11および回路(B)12が同一の入力信号14に対して同一の値を出力した判定用出力17の値が“0”のときの、次の動作に移るようにして、判定用出力17の値が“1”のときは回路(A)11および回路(B)12に改めて演算を繰り返すようにさせる。

【0018】これにより、回路(A)11および回路(B)12が共に誤らない限りは正しい結果が期待できる。回路(A)11と回路(B)12の誤りの確率をそれぞれ1/nとすると、この回路(A)11および回路(B)12からなる2回路冗長回路の判定が誤る確率p1は、検出された誤りが完全に正しく訂正されるものとするれば、

【0019】

$$(1)$$

1、0、0、1、0、0・・・が直接入力されている。回路(B)22には入力信号26が図3の波形bのように遅延回路24で時間tだけ遅らせて入力されている。

【0023】回路(A)21の出力である図3の波形cは、入力信号26のインバート(図3では連続数値1、0、1、1、0、0、1、1、0、1、1・・・)であり、これが遅延回路25で時間tだけ遅らせて、図3の波形dとなって出力(A)27として出力される。一方、回路(B)22の出力は波形bのインバートで図3の波形eとなって出力(B)28として出力される。そうして、出力(A)27と出力(B)28とは2入力EXORゲート23に入力され、このEXORゲート23の出力は判定用出力29とされる。

【0024】このとき、出力(A)27すなわち図3の波形dと出力(B)28すなわち図3の波形eとは、一方が出力側で他方が入力側で遅らせられているものの、その遅延時間tが等しいため、誤りや雑音の影響がない限り同一となり、EXORゲート23の出力である判定用出力29は“0”となる。

【0025】ところで、回路(A)21および回路(B)22に同時に同様な雑音の影響が発生した場合を考える。この雑音によって、回路(A)21の出力である図3の波形cと、回路(B)22の出力である図3の波形eに、“x”で示したような雑音の影響が表れるものとする。これらの雑音の影響を持つ波形は、図3の波形eが直ちにEXORゲート23に入力されるのに対して、図3の波形cは時間tだけ遅らせてEXORゲート23に入力される。したがって、雑音の影響が同時にEXORゲート23の入力に表れることがなくなり、図3の波形fであるEXORゲート23の判定出力29に一定の時間をおいて現れる。したがって判定出力29で雑音の発生を判断することができ、判定出力29が“0”の結果が一致した場合のみ次の動作に移り、結果が不一致の場合は一致している所まで戻って演算を繰り返すようにして信頼性の向上を図ることができる。

【0026】図1および図2に示す実施の形態では簡単のため、各回路への入出力が1ビットとして示しているが、各回路への入出力が複数の並列ビットであって一致判定が各ビットごとに行われる場合にもこの実施の形態を用いることができることは言うまでもない。この場合、全ビットの判定結果を一致、不一致の1ビット判定で出力することもできる。

【0027】以上の実施の形態では、集積回路内で誤りを判定し、誤り部分は演算を繰り返して修正するという方法を採用した。しかし、演算の再現が困難な場合や短時間に処理を終了しなければならない場合には繰り返し演算の採用は好ましくない。このような問題は、複数の回路の多数決判定を用いて回路自身に誤りを自動的に訂正する機能を持たせることで解決することができる。

【0028】図4に、多数決判定による自動訂正機能を有する本発明の集積回路の第3の実施の形態の回路ブロック図を示す。

【0029】図4は、本発明をDRAM(Dynamic Random Access Memory)のリフレッシュ回路に用いた例である。

【0030】DRAM(A)41、DRAM(B)42、DRAM(C)43にはそれぞれ同一のデータが記憶されていて、一定時間間隔でリフレッシュされている\*

$$p2 = (3n-2)n^{-1} \\ = (3n-2)n^{-1}n^{-1}$$

となる。

ここで、 $1/n < 1/2$ なので

$$p2 < 1/n$$

となる。

【0035】多数決回路40は図4に示された例に限定されるのではなく、リードリフレッシュデータa、b、cに対して図5の多数決回路出力kが出力されるような回路であればどのようなものでも良い。この例はDRAMのリフレッシュ回路について説明したが、図4の

\*ものとする。DRAM(A)41、DRAM(B)42およびDRAM(C)43からのリードリフレッシュデータ(図4のa、b、c)は、多数決回路40の3つの入力、入力(A)52、入力(B)53および入力(C)54に入力される。

【0031】多数決回路40は3入力EXORゲート44、3入力ANDゲート45、3入力NORゲート46、2入力ORゲート47、インバータ48、2入力ANDゲート49、1入力反転型の2入力ANDゲート50および2入力ORゲート51から構成されている。2入力ANDゲート49、1入力反転型の2入力ANDゲート50および2入力ORゲート51の部分はいわゆるマルチプレクサ回路であるが、インバータ48と2入力ANDゲート50を2入力NORゲートに置き換えても良い。

【0032】DRAM(A)41、DRAM(B)42およびDRAM(C)43からのリードリフレッシュデータa、b、cに対する多数決回路40の各部(図4のd~k)の真理値表を図5に示す。図5から明らかなように多数決回路出力55からは、リードリフレッシュデータ(図4、図5のa、b、c)のうち多数側の値が出力される。そうして、このデータはDRAM(A)41、DRAM(B)42およびDRAM(C)43にライトリフレッシュデータとして入力される。これにより、3個のDRAMの内のいずれかの出力に誤りがあっても、多数決で多い側に修正されるので、回路の信頼性は大きく向上することになる。多数決回路出力55とDRAM(A)41、DRAM(B)42およびDRAM(C)43の入力との間にタイミングを計るためにバッファ回路などを挿入しても良い。ORゲート47の出力(図5のg)は一致判定出力56として利用できる。この場合、3回路データが一致したとき“1”を示す。

【0033】この回路の判定が誤る確率p2は、3個のDRAMの出力の内の任意の2つ以上が誤る確率である。各DRAMの誤りの確率をそれぞれ $1/n$ とすると、この回路の判定が誤る確率p2は、図8に示した各組合せ毎の確率の合計となり

【0034】

$$(2)$$

$$(3)$$

DRAMを他の同一の処理回路に置き換え、多数決回路出力を出力とすることで、この構成で信頼性の高いデータ処理回路を実現することができる。図4ではDRAMの数を3個としたが、同一の処理回路の数は3個以上であればいくつでも差支えない。しかし、偶数の場合は同数の決着となって多数決判断で迷うおそれがあるので、

奇数のほうが好ましい。

【0036】図6に、本発明の集積回路の第4の実施の形態の回路ブロック図を示す。この実施の形態は第3の実施の形態に第2の実施の形態でおこなったように雑音対処を行ったものである。また、図7に、この集積回路の各部の波形を示す。図7では分かりやすいようにクロック1以前のクロック、入力データ1以前の出力データは記載しないようにした。

【0037】図6で回路(A)61、回路(B)62および回路(C)63は、クロックに同期して入力データに所定の演算を行う同じ回路である。クロック遅延回路64および65は、それぞれ、入力されるクロックを1クロック周期遅らせて出力する。また、入力データ遅延回路66および67は、それぞれ、入力される入力データを1クロック周期遅らせて出力する。また、シフトレジスタ68、69および70は、それぞれ、入力される回路からの出力データを1クロック周期遅らせて出力する。多数決回路71は図4の多数決回路40と同様のものである。

【0038】したがって、回路(B)62に入力されるクロック(図7のb)は、回路(A)61に入力されるクロック(図7のa)よりも、クロック遅延回路64によって1クロック周期遅らせる。また、図7には図示しないが回路(B)62に入力される入力データも、回路(A)61に入力される入力データよりも、入力データ遅延回路66によって1クロック周期遅らせている。

【0039】同様に、回路(C)63に入力されるクロック(図7のc)は、回路(B)62に入力されるクロック(図7のb)よりも、クロック遅延回路65によって1クロック周期遅らせていて、回路(A)61に入力されるクロックよりも、2クロック周期遅れていることになる。回路(C)63に入力される入力データも、回路(A)61に入力される入力データよりも、入力データ遅延回路66、67によって2クロック周期遅らせている。

【0040】これにより、回路(B)62の出力データ(図7のg)は回路(A)61の出力(図7のd)よりも1クロック周期遅れて出力され、回路(C)63の出力データ(図7のj)は回路(A)61の出力(図7のd)よりも2クロック周期遅れて出力されることになる。

【0041】その後、回路(A)61の出力データ(図7のd)はシフトレジスタ68およびシフトレジスタ69によって2クロック周期分遅らせて多数決回路71に入力され、回路(B)62の出力データ(図7のg)はシフトレジスタ70によって1クロック周期分遅らせて多数決回路71に入力される。このような処理により、入力側のクロックと入力データの遅延と、出力側の出力データの遅延とによって、3つの回路(A)61、

回路(B)62および回路(C)63からの出力が同期されて多数決回路71に入力されることになる。

【0042】今、回路(A)61、回路(B)62および回路(C)63が同時に外部雑音にさらされたとする。するとその影響は、例えば回路(A)61の出力波形(図7のd)、回路(B)62の出力波形(図7のg)および回路(C)63の出力波形(図7のj)にそれぞれ“x”で示したように同時に発生する。

【0043】しかし、以降の遅延によって図7のf、h、jのようになり、多数決回路71へはこの雑音の影響はそれぞれ異なった時刻に入力されるので、雑音で影響された部分が多数決論理によって他の信号で修復され、多数決回路71の出力からは外部雑音の影響が除去されることになる。

【0044】以上の説明では、クロック遅延回路64および65、入力データ遅延回路66および67、シフトレジスタ68、69および70での遅延をそれぞれ1クロック周期としたが、これに限定されるものではなく、雑音の持続時間よりも長い程度に任意の同じ遅れ時間を選ぶことができる。

【0045】

【発明の効果】以上説明したように本発明によると、集積回路に冗長性を持たせたことで、複数のデータ処理回路のいづれかで発生した処理誤りの検出が可能になり、再処理を行わせてデータ処理の信頼性を大幅に向上した集積回路を実現することができる。また、複数のデータ処理回路のいづれかで発生した処理誤りを多数決論理にしたがって自動的に修復して、データ処理の信頼性を大幅に向上した集積回路を実現することができる。さらに、演算時刻をずらすことで、外部雑音に影響され難い構成を実現することができ、この面でも信頼性を向上することができる。また、この冗長回路は外見上1つの集積回路であるので使用上違和感がなく、意識しないで使用することができるという利点も有している。したがって、高信頼性が要求される用途で広範な利用が期待できる。

【図面の簡単な説明】

【図1】 本発明の集積回路の基本回路のブロック図である。

【図2】 本発明の集積回路の他の実施の形態のブロック図である。

【図3】 図2に示す集積回路の各部の波形図である。

【図4】 本発明の集積回路のさらに他の実施の形態のブロック図である。

【図5】 図4に示す集積回路の各部の真理値表である。

【図6】 本発明の集積回路のさらに他の実施の形態のブロック図である。

【図7】 図6に示す集積回路の各部の波形図である。

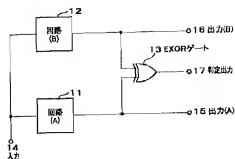
【図8】 図4に示す集積回路の回路の判定が誤る組合

せと確率である。

# 【符号の説明】

- 11、21、61 回路(A)
- 12、22、62 回路(B)
- 13、23 EXORゲート
- 14、26 入力
- 15、27 出力(A)
- 16、28 出力(B)
- 17、29、56 判定出力
- 24、25 遅延回路
- 40、71 多数決回路
- 41 DRAM(A)
- 42 DRAM(B)
- 43 DRAM(C)
- 44 3入力EXORゲート
- 45 3入力ANDゲート

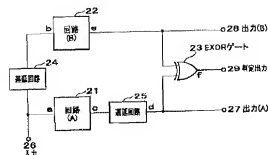
【図1】



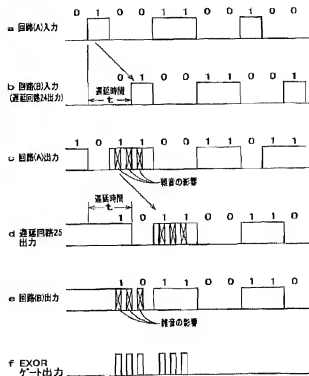
- \* 46 3入力NORゲート
- 47、51 ORゲート
- 48 インバータ
- 49 ANDゲート
- 50 1入力反転型ANDゲート
- 52、74 入力(A)
- 53、75 入力(B)
- 54、76 入力(C)
- 55、77 出力
- 10 63 回路(C)
- 64、65 クロック遅延回路
- 66、67 入力データ遅延回路
- 68、69、70 シフトレジスタ
- 72 入力データ
- 73 クロック

\*

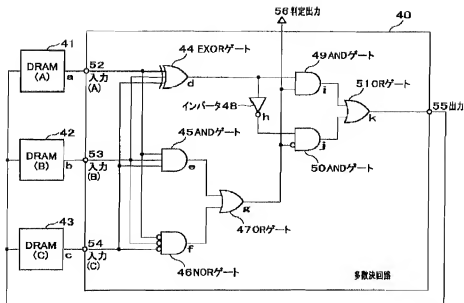
【図2】



【図3】



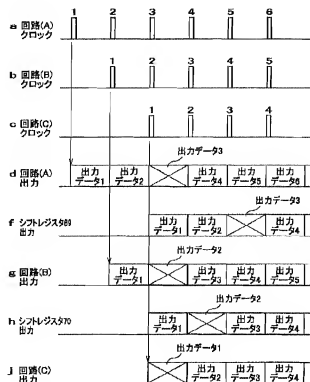
【図4】



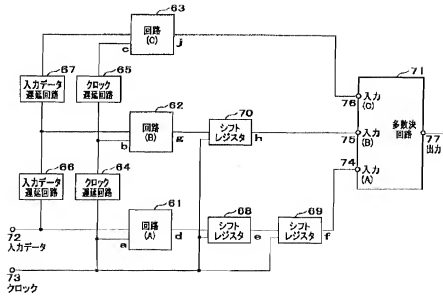
【図5】

|             |   |   |   |   |   |   |   |   |   |
|-------------|---|---|---|---|---|---|---|---|---|
| DRAM (A) 出力 | a | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| DRAM (B) 出力 | b | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| DRAM (C) 出力 | c | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| 3入力 EXOR 出力 | d | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 3入力 AND 出力  | e | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 3入力 NOR 出力  | f | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 2入力 OR 出力   | g | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| インバータ 出力    | h | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| 2入力 AND 出力  | i | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 2入力 AND 出力  | j | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| 多数決回路 出力    | k | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 |

【図7】



【図6】



【図8】

| 多数決の結果、誤りとならば合せ | DRAM(A)出力の正誤 | DRAM(B)出力の正誤 | DRAM(C)出力の正誤 | 標準                   |
|-----------------|--------------|--------------|--------------|----------------------|
| 組合せ1            | 誤            | 誤            | 誤            | $(1/n)^3$            |
| 組合せ2            | 誤            | 誤            | 正            | $(1/n)^2(n-1)n^{-1}$ |
| 組合せ3            | 誤            | 正            | 誤            | $(1/n)^2(n-1)n^{-1}$ |
| 組合せ4            | 正            | 誤            | 誤            | $(1/n)^2(n-1)n^{-1}$ |
|                 |              |              | 合計           | $(3n-2)n^{-4}$       |



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-316599

(43)Date of publication of application : 07.11.2003

(51)Int.Cl.

G06F 11/18  
H03K 19/003

(21)Application number : 2003-020435

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 29.01.2003

(72)Inventor : MATSUMOTO KAZUTAKE

(30)Priority

Priority number : 2002046298

Priority date : 22.02.2002

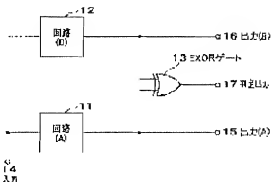
Priority country : JP

## (54) INTEGRATED CIRCUIT

### (57)Abstract:

PROBLEM TO BE SOLVED: To realize a highly reliable integrated circuit having a function for detecting an erroneous operation by itself.

SOLUTION: This integrated circuit is provided with a plurality of circuits (A) 11 and (B) 12 for performing the same processing operation and an EXOR gate 13 for deciding the matching/mismatching of the processing results of the plurality of circuits. When the output of the EXOR gate 13 is '1' indicating mismatching, a processing error generated on either the circuit (A) 11 or (B) 12 is detected to facilitate countermeasures.



## LEGAL STATUS

[Date of request for examination] 31.01.2003

[Date of sending the examiner's decision of rejection] 08.02.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## CLAIMS

[Claim(s)]

[Claim 1] The integrated circuit characterized by detecting the processing error which possessed two or more data-processing means to perform the same processing actuation, and a judgment means to judge coincidence between each processing result of two or more of these data-processing means, and an inequality, and was generated by the inequality judging between the processing results in this judgment means by any of two or more of said data-processing means they are.

[Claim 2] The integrated circuit according to claim 1 characterized by providing the 1st delay means which delays input data and/or a clock in order to shift processing time of day and to make the same processing actuation perform between [ said / two or more ] data-processing means, and the 2nd delay means delayed in order to make coincidence input the processing result data of two or more of said data-processing means into said judgment means.

[Claim 3] The integrated circuit characterized by restoring the processing error which possessed two or more data-processing means to perform the same processing actuation, and a majority means to take the majority of each processing result of two or more of these data-processing means, and was generated by majority processing with this majority means by any of two or more of said data-processing means they are.

[Claim 4] The integrated circuit according to claim 3 characterized by providing the 1st delay means which delays input data and/or a clock in order to shift processing time of day and to make the same processing actuation perform between [ said / two or more ] data-processing means, and the 2nd delay means delayed in order to make coincidence input the processing result data of two or more of said data-processing means into said majority means.

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the integrated circuit which improved dependability of operation by giving redundancy about an integrated circuit.

[0002]

[Description of the Prior Art] Although it is not, either, also until it says that it is desirable to mistake [ long duration ] for all equipment and systems, and to operate to stability that there is nothing Equipment and the system which were formed in the location which requires time and effort for the location and repair which are not close brought especially easily like a satellite loading device or a reactor installation, or restoration, For the equipment which may cause a result with the serious malfunction, and serious damage like medical equipment or an aircraft loading device, or a system, the dependability has important semantics. For example, the effect of a cosmic-rays neutron etc. is not avoided by the device carried in a satellite, the high altitude aircraft, etc. Under the effect by these cosmic rays, incorrect actuation of a "satellite loading device" and a an "aircraft loading device" occurs. Though influenced [ this ], it is an important technical problem to operate to stability and to maintain dependability.

[0003] Systematically, a spare circuit and spare equipment are formed, a system is doubled, redundancy is given, and the solution of changing at the time of generating of malfunction, accident, failure, etc., etc. has been taken in order to secure dependability from the former.

[0004] On the other hand, it is important, also in order for improving the dependability of each element to say nothing of the dependability of each element which constitutes it being concerned with the dependability of equipment or a system to improve the dependability of equipment or the whole system and to reduce the occurrence frequency of malfunction, or accident and failure.

[0005] In the integrated circuit which is one of the components of an electronic circuitry, improvement in the dependability has been conventionally aimed at by amelioration of the closure means of management of a process, highly-precise-izing of the inspection approach, and an integrated circuit, and optimization of a closure ingredient. However, there is a fixed limitation in improvement in the dependability by such approach. Moreover, malfunction by foreign factors, such as a noise, has the problem that it cannot prevent even if it improves own quality of an integrated circuit. The view of having given the redundancy by multiplexing to the component itself and moreover raising the dependability was not taken by the conventional integrated circuit.

[0006]

[Problem(s) to be Solved by the Invention] In order to improve the dependability of equipment or a system like \*\*\*\*, improvement in the dependability of each element is indispensable. In an integrated circuit, improvement has been conventionally aimed at for the dependability by amelioration of the closure means of management of a process, highly-precise-izing of the inspection approach, and an integrated circuit, and optimization of a closure ingredient. However, there was a limitation in such an approach and there was a problem that it could not respond in malfunction by foreign factors, such as a noise.

[0007] This invention is giving redundancy to the circuitry of an integrated circuit, solves this problem comparatively simply and makes a technical problem implementation of the integrated circuit which gave the function to correct the function and error which detect malfunction in person, and raised dependability.

[0008]

[Means for Solving the Problem] In order to attain the above-mentioned technical problem, invention of claim 1 possesses two or more data-processing means perform the same processing actuation, and a judgment means judge coincidence between each processing result of two or more of these data-processing means, and an inequality, and is characterized by to detect the processing error generated by the inequality judging between the processing results in this judgment means by any of two or more of said data-processing means they are in an integrated circuit.

[0009] Moreover, invention of claim 2 established the 1st delay means which delays input data and/or a clock in order to shift processing time of day and to make the same processing actuation perform between [ said / two or more ] data-processing means, and the 2nd delay means delayed in order to make coincidence input the processing result data of two or more of said data-processing means into said judgment means.

[0010] In an integrated circuit, invention of claim 3 possesses two or more data-processing means to perform the same processing actuation, and a majority means to take the majority of each processing result of two or more of these data-processing means, and is characterized by restoring the processing error generated by majority processing with this majority means by any of two or more of said data-processing means they are.

[0011] Furthermore, invention of claim 4 establishes the 1st delay means which delays input data and/or a clock in order to shift processing time of day and to make the same processing actuation perform between [ said / two or more ] data-processing means, and the 2nd delay means delayed in order to make coincidence input the processing result data of two or more of said data-processing means into said majority means.

[0012] By doing in this way, the integrated circuit detection of the processing error generated by any of two or more data-processing circuits they are was attained, made perform reprocessing, and improved the dependability of data processing sharply by giving redundancy to an integrated circuit is realizable. Moreover, the processing error generated by any of two or more data-processing circuits they are can be automatically restored according to a majority logic, and the integrated circuit which improved the dependability of data processing sharply can be realized. Moreover, by shifting operation time of day, the configuration which cannot be easily influenced by external noise can be realized and dependability can be improved also in respect of this.

[0013] Furthermore, this redundancy circuit also has the advantage said that it can use it without there being no use top sense of incongruity and being conscious since an appearance top is one integrated circuit.

[0014]

[Embodiment of the Invention] Hereafter, an accompanying drawing is made reference and the integrated circuit concerning this invention is explained to a detail.

[0015] Drawing 1 is the block diagram of the basic circuit of the gestalt of operation of the integrated circuit of this invention. With the gestalt of this operation, only when have arranged two or more circuits to improve dependability inside the same IC, the same actuation is carried out, these results are judged and a result is in agreement, as it moves to the next actuation, improvement in dependability is aimed at.

[0016] drawing 1 -- setting -- a circuit -- (A) -- 11 -- and -- a circuit -- (B) -- 12 -- being the same -- actuation -- carrying out -- being the same -- processing -- a circuit -- it is . An arithmetic circuit, a store circuit, a buffer circuit, etc. may be what kind of things, or a microcomputer does not interfere, either, and a processing circuit is not limited especially. The same input signal 14 is inputted into this circuit (A) 11 and circuit (B) 12. a circuit -- (A) -- 11 -- and -- a circuit -- (B) -- 12 -- each -- an output -- (A) -- 15 -- and -- an output -- (B) -- 16 -- two -- an input -- EXOR (exclusive OR) -- the gate -- 13 -- inputting -- having -- EXOR -- the gate -- 13 -- an output -- a judgment -- \*\* -- an output -- 17 -- \*\* -- carrying out -- having . The output of the EXOR gate 13 is set to "1", when the value of an input terminal is in agreement and the values of "0" and an input terminal differ.

[0017] therefore -- a circuit -- (A) -- 11 -- and -- a circuit -- (B) -- 12 -- being the same -- an input signal -- 14 -- receiving -- being the same -- a value -- having outputted -- a judgment -- \*\* -- an output -- 17 -- a value -- " -- zero -- " -- it is -- the time -- only -- a

degree -- actuation -- moving -- making -- a judgment -- \*\* -- an output -- 17 -- a value -- " -- one -- " -- it is -- the time -- a circuit -- (A --) -- 11 -- and -- a circuit -- (B --) -- 12 -- anew -- an operation -- repeating -- making -- making .

[0018] Thereby, a right result is expectable as long as neither the circuit (A) 11 nor the circuit (B) 12 is mistaken, a circuit -- (A --) -- 11 -- a circuit -- (B --) -- 12 -- an error -- a probability -- respectively -- one -- /n -- \*\* -- carrying out -- if -- this -- a circuit -- (A --) -- 11 -- and -- a circuit -- (B --) -- 12 -- from -- becoming -- two -- a circuit -- redundancy -- a circuit -- a judgment -- mistaking -- a probability -- p -- one -- detecting -- having had -- an error -- perfect -- right -- correcting -- having -- a thing -- then -- [ 0019 -- ]

$p1=(1/n)2(1)$

A next door and dependability will improve greatly.

[0020] however -- this -- a circuit -- \*\*\*\* -- the exterior -- from -- a noise -- effect -- a circuit -- (A --) -- 11 -- and -- a circuit -- (B --) -- 12 -- common -- having worked -- a case -- both -- a circuit -- coincidence -- mistaking -- a judgment -- \*\*\*\* -- this -- an error -- overlooking -- \*\* -- saying -- fear -- it is .

[0021] Such a problem can be coped with because operation actuation of two or more circuits is shifted in time and it is made to perform it. The configuration of the gestalt of the operation of the 2nd of the integrated circuit of this invention which performed such noise management is shown in the block diagram of drawing 2 . Moreover, the wave of each part of this integrated circuit is shown in drawing 3 . drawing 3 -- setting -- a circuit -- (A --) -- 21 -- a circuit -- (B --) -- 22 -- and -- EXOR -- the gate -- 23 -- it can set -- data processing -- delay -- it can ignore -- a thing -- \*\* -- having carried out .

[0022] drawing 2 -- setting -- a circuit -- (A --) -- 21 -- and -- a circuit -- (B --) -- 22 -- drawing 1 -- a case -- the same -- being the same -- processing -- actuation -- carrying out -- being the same -- a circuit -- it is -- processing -- the contents -- especially -- limiting -- not having -- although -- here -- \*\*\*\* -- temporary -- an input -- being reversed -- outputting -- actuation -- carrying out -- \*\*\*\* -- a thing -- \*\* -- carrying out . the direct input of an input signal 26 ( drawing 3 -- the continuation numeric values 0, 1, 0, 0, 1, 1, 0, 0, 1, and 0 and 0 --) like Wave a of drawing 3 is carried out to this circuit (A) 21. Like the wave b of drawing 3 , only time amount t is delayed and the input signal 26 is inputted into the circuit (B) 22 in the delay circuit 24.

[0023] the wave c of drawing 3 which is the output of a circuit (A) 21 is the inverted arch ( drawing 3 -- the continuation numeric values 1, 0, 1, 1, 0, 0, 1, 1, 0, and 1 and 1 --) of an input signal 26, and only time amount t is delayed in a delay circuit 25, this serves as the wave d of drawing 3 , and it is outputted as an output (A) 27. On the other hand, by the inverted arch of Wave b, the output of a circuit (B) 22 serves as the wave e of drawing 3 , and is outputted as an output (B) 28. then -- an output -- (A --) -- 27 -- an output -- (B --) -- 28 -- two -- an input -- EXOR -- the gate -- 23 -- inputting -- having -- this -- EXOR -- the gate -- 23 -- an output -- a judgment -- \*\* -- an output -- 29 -- \*\* -- carrying out -- having .

[0024] this -- the time -- an output -- (A --) -- 27 -- namely, -- drawing 3 -- a wave -- d -- an output -- (B --) -- 28 -- namely, -- drawing 3 -- a wave -- e -- one side -- an output side -- another side -- an input side -- delaying -- having -- \*\*\*\* -- although -- the -- a time delay -- t -- being equal -- a sake -- an error -- a noise -- effect -- there is nothing -- as long as -- being the same -- \*\* -- becoming -- EXOR -- the gate -- 23 -- an output -- it is -- a judgment -- \*\* -- an output -- 29 -- " -- zero -- " -- becoming .

[0025] by the way -- a circuit -- (A --) -- 21 -- and -- a circuit -- (B --) -- 22 -- coincidence -- being the same -- a noise -- effect -- having generated -- a case -- thinking . this -- a noise -- a circuit -- (A --) -- 21 -- an output -- it is -- drawing 3 -- a wave -- c -- a circuit -- (B --) -- 22 -- an output -- it is -- drawing 3 -- a wave -- e -- " -- x -- " -- having been shown -- as -- a noise -- effect -- appearing -- a thing -- \*\* -- carrying out . To the wave e of drawing 3 being immediately inputted into the EXOR gate 23, as for the wave with the effect of these noises, only time amount t is delayed and the wave c of drawing 3 is inputted into the EXOR gate 23. Therefore, it is lost that the effect of a noise appears in the input of the EXOR gate 23 at coincidence, and fixed time amount is set to the decision output 29 of the EXOR

gate 23 which is the wave of drawing 3 , and it appears in it. Therefore, generating of a noise can be judged by the decision output 29, only when the decision output 29 of the result of "0" corresponds, it moves to the next actuation, and when a result is an inequality, as it returns to congruous places and an operation is repeated, improvement in dependability can be aimed at. [0026] With the gestalt of operation shown in drawing 1 and drawing 2 , since it is easy, the I/O to each circuit shows as 1 bit, but the I/O to each circuit is two or more juxtaposition bits, and also when a coincidence judging is performed for every bit, it cannot be overemphasized that the gestalt of this operation can be used. In this case, the judgment result of all bits can also be outputted by the 1-bit judging of coincidence and an inequality.

[0027] With the gestalt of the above operation, the error was judged within the integrated circuit and the error part adopted the approach of repeating and correcting an operation. However, adoption of an operation is not repeatedly desirable when processing must be ended for the case where reappearance of an operation is difficult, or a short time. Such a problem is solvable by giving the function to correct an error automatically in the circuit itself using the majority judging of two or more circuits.

[0028] The circuit block diagram of the gestalt of the operation of the 3rd of the integrated circuit of this invention which has an automatic correction function by majority judging in drawing 4 is shown.

[0029] Drawing 4 is the example which used this invention for the refresh circuit of DRAM (Dynamic Random Access Memory).

[0030] DRAM -- ( -- A -- ) -- 41 -- DRAM -- ( -- B -- ) -- 42 -- DRAM -- ( -- C -- ) -- 43 -- \*\*\*\* -- respectively -- being the same -- data -- memorizing -- having -- \*\*\*\* -- fixed -- a time interval -- refreshing -- having -- \*\*\*\* -- a thing -- \*\* -- carrying out . DRAM -- ( -- A -- ) -- 41 -- DRAM -- ( -- B -- ) -- 42 -- and -- DRAM -- ( -- C -- ) -- 43 -- from -- a lead -- refresh -- data (a, b, c of drawing 4 ) -- a majority circuit -- 40 -- three -- a \*\* -- an input -- an input -- ( -- A -- ) -- 52 -- an input -- ( -- B -- ) -- 53 -- and -- an input -- ( -- C -- ) -- 54 -- inputting -- having .

[0031] The majority circuit 40 consists of the 3 input EXOR gate 44, 3 input AND gate 45, 3 input NOR gate 46, 2 input OR gate 47, an inverter 48, the 2 input AND gate 49, the 2 input AND gate 50 of 1 input reversal mold, and the 2 input OR gate 51. Although the parts of 2 input AND gate 49, 2 input AND gate 50 of 1 input reversal mold, and 2 input OR gate 51 are the so-called multiplexer circuits, an inverter 48 and 2 input AND gate 50 may be transposed to 2 input NOR gate.

[0032] DRAM -- ( -- A -- ) -- 41 -- DRAM -- ( -- B -- ) -- 42 -- and -- DRAM -- ( -- C -- ) -- 43 -- from -- a lead -- refresh -- data -- a -- b -- c -- receiving -- a majority circuit -- 40 -- each part (d-k of drawing 4 ) -- table of truth value -- drawing 5 -- being shown . From the majority circuit output 55, the value by the side of a large number is outputted among lead refresh data (a, b, c of drawing 4 and drawing 5 ) so that clearly from drawing 5 . then -- this -- data -- DRAM -- ( -- A -- ) -- 41 -- DRAM -- ( -- B -- ) -- 42 -- and -- DRAM -- ( -- C -- ) -- 43 -- a light -- refresh -- data -- \*\*\*\*\* -- inputting -- having . Since it is corrected to many sides by majority by this even if an error is in which output of the three DRAMs, circuit reliability will improve greatly. a majority circuit -- an output -- 55 -- DRAM -- ( -- A -- ) -- 41 -- DRAM -- ( -- B -- ) -- 42 -- and -- DRAM -- ( -- C -- ) -- 43 -- an input -- between -- timing -- measuring -- a sake -- a buffer circuit etc. -- you may insert . The output (g of drawing 5 ) of the OR gate 47 can be used as a coincidence decision output 56. In this case, "1" is shown when 3 circuit data are in agreement.

[0033] As for the probability p2 which the judgment of this circuit mistakes, two or more of the arbitration of the outputs of three DRAMs are an incorrect \*\*\*\* probability. When the probability of the error of each DRAM is set to 1/n, respectively, the probability p2 which the judgment of this circuit mistakes serves as the sum total of the probability for every class doubling shown in drawing 8 , and is [0034].

$p2 = (3n-2)n-3 \quad (2)$

= It is set to  $3n-2n-2n-1$ .

Here, since it is  $1/n < 1/2$ , it is  $p2 < 1/n$ . (3)

It becomes.

[0035] As long as a majority circuit 40 is a circuit where it is not limited to the example shown in

drawing 4 , and the majority circuit output k of drawing 5 is outputted to the lead refresh data a, b, and c, what kind of thing is sufficient as it. Although this example explained the refresh circuit of DRAM, DRAM of drawing 4 can be transposed to other same processing circuits, and considering a majority circuit output as an output can realize a reliable data-processing circuit with this configuration. Although the number of DRAMs was made into three pieces in drawing 4 , with [ the number of the same processing circuits ] three [ or more ], it does not interfere without limit. However, since there is a possibility of becoming the conclusion of the same number and wavering by majority decision in the case of even number, the odd number is more desirable.

[0036] The circuit block diagram of the gestalt of operation of the 4th of the integrated circuit of this invention is shown in drawing 6 . the gestalt of this operation was carried out to the gestalt of the 3rd operation with the gestalt of the 2nd operation -- it needs -- it is alike and noise management is performed. Moreover, the wave of each part of this integrated circuit is shown in drawing 7 . It was made for the clock before a clock 1 and the output data before output data 1 not to indicate that it is intelligible by drawing 7 .

[0037] drawing 6 -- a circuit -- (A) -- 61 -- a circuit -- (B) -- 62 -- and -- a circuit -- (C) -- 63 -- a clock -- synchronizing -- input data -- predetermined -- an operation -- carrying out -- being the same -- a circuit -- it is . The clock inputted is delayed 1 clock periphery term, and the clock delay circuits 64 and 65 output it, respectively. Moreover, the input data inputted is delayed 1 clock periphery term, and the input data delay circuits 66 and 67 output it, respectively. Moreover, the output data from a circuit inputted are delayed 1 clock periphery term, and shift registers 68, 69, and 70 output them, respectively. A majority circuit 71 is the same as the majority circuit 40 of drawing 4 .

[0038] Therefore, the clock (b of drawing 7 ) inputted into a circuit (B) 62 is delayed by the clock delay circuit 64 1 clock periphery term rather than the clock (a of drawing 7 ) inputted into a circuit (A) 61. Moreover, it is delayed by the input data delay circuit 66 1 clock periphery term rather than the input data by which the input data inputted into a circuit (B) 62 although not illustrated to drawing 7 is also inputted into a circuit (A) 61.

[0039] Similarly, rather than the clock (b of drawing 7 ) inputted into a circuit (B) 62, the clock (c of drawing 7 ) inputted into a circuit (C) 63 is delayed by the clock delay circuit 65 1 clock periphery term, and will be behind the clock inputted into a circuit (A) 61 2 clock peripheries terms. It is delayed by the input data delay circuits 66 and 67 2 clock peripheries terms rather than the input data by which the input data inputted into a circuit (C) 63 is also inputted into a circuit (A) 61.

[0040] By this, the output data (g of drawing 7 ) of a circuit (B) 62 will be outputted later than the output (d of drawing 7 ) of a circuit (A) 61 1 clock periphery term, and the output data (j of drawing 7 ) of a circuit (C) 63 will be outputted later than the output (d of drawing 7 ) of a circuit (A) 61 2 clock peripheries terms.

[0041] Then, the output data (d of drawing 7 ) of a circuit (A) 61 are delayed by 2 clock periods with a shift register 68 and a shift register 69, and are inputted into a majority circuit 71, and the output data (g of drawing 7 ) of a circuit (B) 62 are delayed by 1 clock period, and are inputted into a majority circuit 71 by the shift register 70. being such -- processing -- an input side -- a clock -- input data -- delay -- an output side -- output data -- delay -- three -- a \*\* -- a circuit -- (A) -- 61 -- a circuit -- (B) -- 62 -- and -- a circuit -- (C) -- 63 -- from -- an output -- synchronizing -- having -- a majority circuit -- 71 -- inputting -- having -- \*\*\*\*\* .

[0042] now -- a circuit -- (A) -- 61 -- a circuit -- (B) -- 62 -- and -- a circuit -- (C) -- 63 -- coincidence -- external noise -- exposing -- having had -- \*\* -- carrying out . then -- the effect -- for example, -- a circuit -- (A) -- 61 -- an output -- a wave (d of drawing 7 ) -- a circuit -- (B) -- 62 -- an output -- a wave (g of drawing 7 ) -- and -- a circuit -- (C) -- 63 -- an output -- a wave (j of drawing 7 ) -- respectively -- " -- x -- " -- having been shown -- as -- coincidence -- generating .

[0043] However, since it is inputted at the time of day when it became like f, h, and j of drawing 7 by subsequent delay at, and the effects of this noise differed to the majority circuit 71,

respectively, the part influenced with the noise will be restored by the majority logic by other signals, and the effect of external noise will be removed from the output of a majority circuit 71.

[0044] In the above explanation, although delay with the clock delay circuits 64 and 65, the input



data delay circuits 66 and 67, and shift registers 68, 69, and 70 was made into 1 clock period, respectively, it is not limited to this and the same time delay of arbitration can be chosen as extent longer than the persistence time of a noise.

[0045]

[Effect of the Invention] As explained above, detection of the processing error generated by any of two or more data-processing circuits they are by having given redundancy to the integrated circuit according to this invention is attained, and the integrated circuit which was made to perform reprocessing and improved the dependability of data processing sharply can be realized. Moreover, the processing error generated by any of two or more data-processing circuits they are can be automatically restored according to a majority logic, and the integrated circuit which improved the dependability of data processing sharply can be realized. Furthermore, by shifting operation time of day, the configuration which cannot be easily influenced by external noise can be realized and dependability can be improved also in respect of this. Moreover, since an appearance top is one integrated circuit, there is no use top sense of incongruity, and this redundancy circuit also has the advantage that it can be used without being conscious. Therefore, extensive use is expectable for the application as which high-reliability is required.

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram of the basic circuit of the integrated circuit of this invention.

[Drawing 2] It is the block diagram of the gestalt of other operations of the integrated circuit of this invention.

[Drawing 3] It is the wave form chart of each part of the integrated circuit shown in drawing 2 .

[Drawing 4] It is the block diagram of the gestalt of the operation of further others of the integrated circuit of this invention.

[Drawing 5] It is the table of truth value of each part of the integrated circuit shown in drawing 4 .

[Drawing 6] It is the block diagram of the gestalt of the operation of further others of the integrated circuit of this invention.

[Drawing 7] It is the wave form chart of each part of the integrated circuit shown in drawing 6 .

[Drawing 8] It is the combination and probability which the judgment of the circuit of the integrated circuit shown in drawing 4 mistakes.

[Description of Notations]

11, 21, 61 Circuit (A)

12, 22, 62 Circuit (B)

13 23 EXOR gate

14 26 Input

15 27 Output (A)

16 28 Output (B)

17, 29, 56 Decision output

24 25 Delay circuit

40 71 Majority circuit

41 DRAM(A)

42 DRAM(B)

43 DRAM(C)

44 3 Input EXOR Gate

45 3 Input AND Gate

46 3 Input NOR Gate

47 51 OR gate

48 Inverter

49 AND Gate

50 1 Input Reversal Mold AND Gate

52 74 Input (A)

53 75 Input (B)

54 76 Input (C)

55 77 Output

63 Circuit (C)

64 65 Clock delay circuit

66 67 Input data delay circuit

68, 69, 70 Shift register

72 Input Data

73 Clock

[Translation done.]